



PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/708,947	
	Filing Date	04/02/2004	
	First Named Inventor	Ren-Peng Chen	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	HTCP0014USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	4/17/2004

CERTIFICATE OF TRANSMISSION/MAILING	
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.	
Typed or printed name	
Signature	Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/708,947
Filing Date	04/02/2004
First Named Inventor	Ren-Peng Chen
Examiner Name	
Art Unit	
Attorney Docket No.	HTCP0014USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below	Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>		
Independent Claims	<input type="text"/>	- 3** =	<input type="text"/>	<input type="text"/>	<input type="text"/>
Multiple Dependent				<input type="text"/>	<input type="text"/>

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	4/17/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

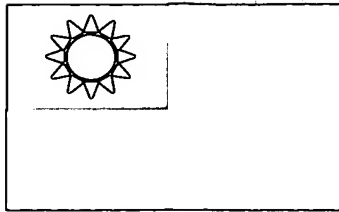
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092136610	Taiwan R.O.C	12/23/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 12 月 23 日
Application Date

申請案號：092136610
Application No.

申請人：宏達國際電子股份有限公司
Applicant(s)

局長
Director-General

蔡練生

發文日期：西元 2004 年 3 月 25 日
Issue Date

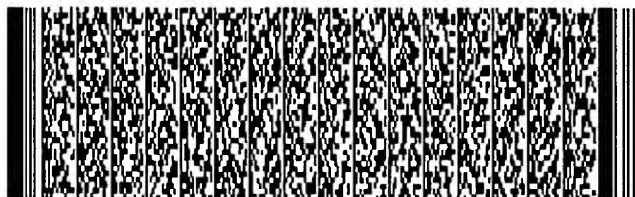
發文字號：09320286110
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	串列/並列資料轉換模組及相關電腦系統
	英 文	SERIAL/PARALLEL DATA TRANSFORMER MODULE AND RELATED COMPUTER SYSTEMS
二、 發明人 (共2人)	姓 名 (中文)	1. 陳仁鵬
	姓 名 (英文)	1. CHEN, REN-PENG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市寶強路六之三號一樓
	住居所 (英 文)	1. 1F, No. 6-3, Bao-Chiang Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 宏達國際電子股份有限公司
	名稱或 姓 名 (英文)	1. HIGH TECH COMPUTER CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園市龜山工業區興華路二十三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 23 Hsin Hua Rd., Kwei-Shan Industrial Park, Tao-Yuan City 330, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. WANG, CHER-HONG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 劉萬賢
	姓 名 (英文)	2. LIU, WAN-HSIEH
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市寶強路六之三號一樓
	住居所 (英 文)	2. 1F, No. 6-3, Bao-Chiang Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：串列/並列資料轉換模組及相關電腦系統)

本發明係相關於一種串列/並列資料轉換模組，其包含一內含一並列埠及一串列埠之第一串列/並列資料轉換器、一內含一並列埠及一串列埠之第二串列/並列資料轉換器、以及一控制單元，用來選擇性地將該第一串列/並列資料轉換器之並列埠電連接於該第二串列/並列資料轉換器之並列埠或將該第一串列/並列資料轉換器之串列埠電連接於該第二串列/並列資料轉換器之串列埠。

五、英文發明摘要 (發明名稱：SERIAL/PARALLEL DATA TRANSFORMER MODULE AND RELATED COMPUTER SYSTEMS)

A serial/parallel data transformer module has a first serial/parallel data transformer having a parallel port and a serial port, a second serial/parallel data transformer having a parallel port and a serial port, and a control unit for selectively connecting the parallel ports or the serial ports of the first serial/parallel data transformer and the second



四、中文發明摘要 (發明名稱：串列/並列資料轉換模組及相關電腦系統)

五、英文發明摘要 (發明名稱：SERIAL/PARALLEL DATA TRANSFORMER MODULE AND RELATED COMPUTER SYSTEMS)

serial/parallel data transformer.



六、指定代表圖

(一)、本案代表圖為：第 __六__ 圖

(二)、本案代表圖之元件代表符號簡單說明：

32 第一 UART

34 第二 UART

38、42 並列埠

40、44 串列埠

50 電腦系統

52 第一處理器

54 第二處理器



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係相關於一種如通用非同步收發器 (universal asynchronous receiver/transmitter, UART) 之串列 / 並列資料轉換器，尤指一種包含複數個串列 / 並列資料轉換器及一控制單元之串列 / 並列資料轉換模組，該控制單元可控制該串列 / 並列資料轉換模組選擇性地運作於不同的模式。

【先前技術】

相較於同步並列傳輸 (synchronous parallel transmission)，非同步串列 (asynchronous serial) 傳輸具有體積小，價格低廉及傳輸距離遠等優點。舉例來說，通用非同步收發器 (universal asynchronous receiver/transmitter, UART) 係一種內含用來控制一電腦 (或一處理器) 及與該電腦 (該處理器) 相連接之串列型裝置 (serial device) 間之資料傳輸之微晶片 (microchip) 的一種非同步串列 / 並列資料轉換器。更明確地說，UART 所提供該電腦之功能係相似於諸如 RS-232 之資料終端設備 (data terminal equipment, DTE) 所提供之資料交換功能，以使該電腦能透過如通用序列匯流排 (universal serial bus, USB) 之串列型匯流排與如數據機等 (modem) 之串列型裝置相互交換資料。



五、發明說明 (2)

請參閱圖一，圖一為習知一 UART系統 10之功能方塊圖。UART系統 10包含一允許並列型資料 (parallel data) 傳輸於其上之系統匯流排 (system bus) 26、一電連接於系統匯流排 26且用來發送及接收一並列型資料之處理器 20、一用來將一並列型資料及一串列型資料 (serial data) 互換之 UART 22、一允許串列型資料傳輸於其上之通用序列匯流排 28、及一電連接於通用序列匯流排 28且用來發送及接收一串列型資料之串列型裝置 24。

UART 22包含六個用來儲存控制及狀態資訊 (control and status information) 之八位元暫存器 12、一用來決定傳輸於處理器 20與串列型裝置 24間的資料之傳輸速率之傳輸速率產生器 (baud rate generator) 16、一電連接於系統匯流排 26之匯流排介面 (bus interface) 14、以及一電連接於串列型裝置 24且用來接收及發送一字元框 (frame) 型資料之收發器 (transceiver) 18。一般而言，在 UART 22中，匯流排介面 14係以八個並列之接腳經由系統匯流排 26存取處理器 20內之資料，而收發器 18則係以兩接腳 (RxD用來輸入，TxD則用來輸出) 經由通用序列匯流排 28存取串列型裝置 24內之資料。該字元框型資料包含一起始位元 (space, logic "0") 及一結束位元 (mark, logic "1")，該字元框型資料也可另包含一用來作為錯誤檢查碼之同位位元 (parity bit)。



五、發明說明 (3)

UART 22係依據暫存器 12內所儲存之控制及狀態資訊將處理器 20經由系統匯流排 26所並列地傳送來之並列型資料，藉由附加一起始位元及一結束位元(或另附加一同位元)於該並列型資料之方式先轉換成一字元框型資料，再將該字元框型資料經由通用序列匯流排 28以逐位元之方式傳送至串列型裝置 24、或將串列型裝置 24經由通用序列匯流排 28以逐位元之方式所傳送來之字元框型資料，藉由辨認(check)後並捨棄(discard)該字元框型資料中之同位元(若有的話)以及刪除(strip)該字元框型資料中之起始位元及結束位元之方式先轉換成一並列型資料，再經由系統匯流排 26並列地傳送至處理器 20。

近年來，一電腦系統中多配備一個以上(如兩個)之處理器，以加速資料之處理，相對應地，該電腦系統中也需配備二個 UART，以進行該二處理器與其它串列型裝置間之資料交換。然而，該電腦系統中之二處理器僅能分別電連接於該二 UART，並透過該二 UART與個別的串列型裝置進行資料交換。

【發明內容】

因此本發明之主要目的在於提供一種串列/並列資料轉換模組，其內所包含之串列/並列資料轉換器可受控於一控



五、發明說明 (4)

制單元，以對不同的處理器間或處理器與串列型裝置間進行資料交換。

根據本發明之申請專利範圍，本發明係揭露一種串列/並列資料轉換模組，其包含一內含一並列埠及一串列埠之第一串列/並列資料轉換器、一內含一並列埠及一串列埠之第二串列/並列資料轉換器、以及一控制單元，用來選擇性地將該第一串列/並列資料轉換器之並列埠電連接於該第二串列/並列資料轉換器之並列埠或將該第一串列/並列資料轉換器之串列埠電連接於該第二串列/並列資料轉換器之串列埠。

如此一來，一連接於該第一串列/並列資料轉換器之串列埠之第一串列型裝置便能與一連接於該第二串列/並列資料轉換器之串列埠之第二串列型裝置交換資料，若該控制單元將該第一串列/並列資料轉換器之並列埠電連接於該第二串列/並列資料轉換器之並列埠、或者一連接於該第一串列/並列資料轉換器之並列埠之第一處理器便能與一連接於該第二串列/並列資料轉換器之並列埠之第二處理器交換資料，若該控制單元將該第一串列/並列資料轉換器之串列埠電連接於該第二串列/並列資料轉換器之串列埠。

由於本發明之串列/並列資料轉換模組中之控制單元可選



五、發明說明 (5)

擇性地控制該第一處理器、該第二處理器、該第一串列/並列資料轉換器、該第二串列/並列資料轉換器、該第一串列型裝置、及該第二串列型裝置間之電連接方式，因此，本發明之串列/並列資料轉換模組具有相當大之使用彈性。

【實施方式】

除了之前所提及之 UART(RS232為 UART之一種)外，串列/並列資料轉換器尚包含 I²C(inter-IC)及 USB(IEEE1394)等。I²C，顧名思義，係連接於二 IC之間，並且可透過二雙向(發送及接收)傳輸線(串列資料線 SDA及串列時脈線 SCL)將資料傳輸於該二 IC之間。

本發明之串列/並列資料轉換模組可包含至少二相同之串列/並列資料轉換器，由於 I²C及 USB等轉換串列資料與並列資料之原理係相似於 UART轉換串列資料與並列資料之原理，所以，以下謹以 UART為例來說明本發明之串列/並列資料轉換模組。

請參閱圖二，圖二為本發明之較佳實施例中一 UART模組 30之功能方塊圖，UART 30可為一特殊應用積體電路(application specific integrated circuit, ASIC)，亦即 UART 30所包含之元件皆係整合於該 ASIC內。UART



五、發明說明 (6)

ASIC 30包含一第一 UART 32、一第二 UART 34、及一用來控制第一 UART 32與第二 UART 34 相互間或與其它如處理器之並列型裝置及如數據機之串列型裝置間的連接之控制單元 36。第一 UART 32包含一第一並列埠 (電連接至如圖一所顯示之 UART 22中之匯流排介面 14) 38及一第一串列埠 (電連接至如圖一所顯示之 UART 22中之收發器 18) 40，而第二 UART 34包含一第二並列埠 42及一第二串列埠 44。關於控制單元 36如何控制第一 UART 32及第二 UART 34 相互間或與其它並列型裝置及串列型裝置間的連接留待後述。

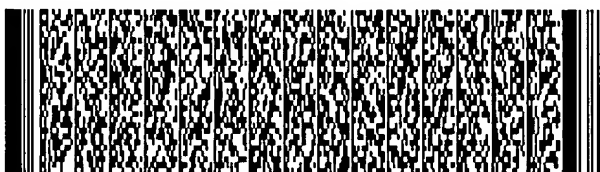
前已言之，圖一所顯示之 UART 22內包含六個用來儲存控制及狀態資訊之八位元暫存器 12，UART 22可依據這些暫存器 12中所儲存之控制及狀態資訊來接收或發送資料。這六個暫存器分別為：一用來儲存行將經由收發器 18所發出的八位元資料之 XMITDT暫存器、一用來儲存收發器 18所剛收到的八位元資料之 RECVDT暫存器、二用來共同儲存一供傳輸速率產生器 16之用的十六位元 (八位元 + 八位元) 傳輸速率之 DIVMSB及 DIVLSB暫存器、一用來儲存關於 UART 22之現行運作模式 (發送或接收資料) 等重要資訊之 STATUS暫存器、以及一用來標示 UART 22之發送及接收資料之是否完成之 CLRINT暫存器。而該 STATUS暫存器中之前四低位元依序為一用以表示 UART 22正在發送 (或稱處於發送資料之狀態) 一字元框型資料之 XMIT位元 (bit



五、發明說明 (7)

0, LSB)、一用來表示 UART 22正在接收(或稱處於接收資料之狀態)一字元框型資料之 RECV位元(bit 1)、一用來表示 UART 22已發送完畢該字元框型資料之 DONE_XMIT位元(bit 2)、以及一用來表示 UART 22已接收完畢該字元框型資料之 DONE_RECV位元(bit 3)。本發明所揭露之串列/並列資料轉換模組(以 UART為例)就是藉由改變第一 UART 32及第二 UART模組之暫存器內所儲存之控制及狀態資訊,以改變第一 UART 32與第二 UART34相互間或與其它並列型裝置及串列型裝置間的資料傳輸狀態。

請參閱圖三,圖三為本發明之第二實施例中一包含 UART ASIC 30的電腦系統 50之第一狀態圖。電腦系統 50另包含一第一處理器 52、一將第一處理器 52電連接於 UART ASIC 30之第一系統匯流排 53、一第二處理器 54、一將第二處理器 54電連接於 UART ASIC 30之第二系統匯流排 55、一第一串列型裝置 56、及一第二串列型裝置 58。在第二實施例中,控制單元 36中之開關 SW1、SW2、SW3、SW4、SW5、SW6、及 SW7係分別將節點 a與 c、a與 e、b與 d2、b與 d2、A與 C、B與 E、以及 c與 f連接在一起。也就是說,第一處理器 52可經由 UART ASIC 30同時與第一串列型裝置 56及第二串列型裝置 58交換資料,而第二處理器 54係處於閒置狀態(idle)。當第一處理器 52要將一八位元資料傳送至第一串列型裝置 56及第二串列型裝置 58時, UART ASIC 30之第一 UART 32及第二 UART 34之六個暫存器中該

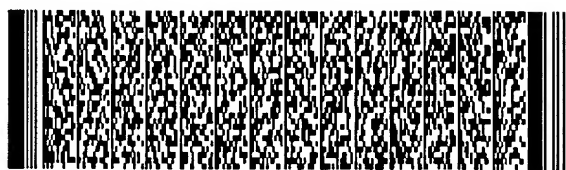


五、發明說明 (8)

STATUS暫存器中之最低位元(XMIT位元)會被設定成"1",當然,該八位元資料尚需被附加一起始位元及一結束位元以轉換成一字元框型資料後,方能被傳送至第一串列型裝置56及第二串列型裝置58;反之,當第一處理器52要接收第一串列型裝置56及第二串列型裝置58所傳來之字元框型資料時,該STATUS暫存器中之RCV位元(bit 1)會被設定成"1"。

在電腦系統50中,第一處理器52及第二處理器54也可分別與第一串列型裝置56及第二串列型裝置58交換資料。請參閱圖四,圖四為本發明之第三實施例中電腦系統50之第二狀態圖。在圖四中,控制單元36中之開關SW1、SW2、SW3、SW4、SW5、SW6、及SW7係分別將節點a與c、a與d1、b與d2、b與e、A與C、B與E、以及c與f連接在一起。也就是說,除了第一處理器52可經由UART ASIC 30之第一UART 32與第一串列型裝置56交換資料外,第二處理器54亦可經由UART ASIC 30之第二UART 34與第二串列型裝置58交換資料。透過分別設定對應的第一UART 32及第二UART 34中之STATUS暫存器,第一處理器52及第二處理器54可個別地與第一串列型裝置56及第二串列型裝置58分別進行資料之接收與發送。

上述之電腦系統50中,處理器(第一處理器52及第二處理器54)係與串列型裝置(第一串列型裝置56及第二串列型



五、發明說明 (9)

裝置 58)交換資料，然而，處理器之間有時也必需交換資料。請參閱圖五，圖五為本發明之第四實施例中電腦系統 50之第三狀態圖。在圖五所顯示之電腦系統 50中，控制單元 36中之開關 SW1、SW2、SW3、SW4、SW5、SW6、及 SW7係分別將節點 a與 c、a與 d1、b與 d2、b與 e、A與 D、B與 D、以及 c與 f連接在一起。如此一來，第一處理器 52可經由 UART ASIC 30之第一 UART 32及第二 UART 34與第二處理器 54交換資料。當第一處理器 52要將一八位元資料傳送至第二處理器 54時，第一 UART 32之六個暫存器中該 STATUS暫存器之最低位元 (XMIT位元)會被設定成 "1"，以將該八位元資料所轉換而成之字元框型資料發送出去，而第二 UART 34之六個暫存器中該 STATUS暫存器中之 RECV位元 (bit 1)會被設定成 "1"，以接收由第一 UART 32所傳來之字元框型資料 (等效上，亦即將第一 UART 32中用以發送資料之 Tx端與第二 UART 34中用以接收資料之 Rx端相連接)；反之，當第二處理器 54要將一八位元資料傳送至第一處理器 52時，第二 UART 34之六個暫存器中該 STATUS暫存器之最低位元 (XMIT位元)會被設定成 "1"，以將該八位元資料所轉換而成之字元框型資料發送出去，而第一 UART 32之六個暫存器中該 STATUS暫存器中之 RECV位元 (bit 1)會被設定成 "1"，以接收由第二 UART 34所傳來之字元框型資料。

請參閱圖六，圖六為圖五中所顯示之電腦系統 50之第三



五、發明說明 (10)

狀態圖中，第一處理器 52、第二處理器 54、第一 UART 32 及第二 UART 34 之連接狀態圖。如圖六所示，第一 UART 32 係被控制分別連接於第二 UART 34 之 TX、RX、CTS、RTS、DSR、及 DTR，也就是說，當第一處理器 52 要將一八位元資料傳送至第二處理器 54 時，第一 UART 32 係受控扮演一發送器、而第二 UART 34 係受控扮演一接收器；當第二處理器 54 要將一八位元資料傳送至第一處理器 52 時，第一 UART 32 係受控扮演一接收器、而第二 UART 34 係受控扮演一發送器。

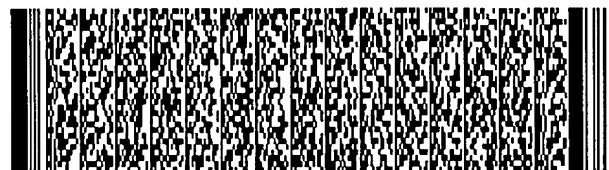
電腦系統 50 中之第一串列型裝置 56 及第二串列型裝置 58 也可於彼此間交換資料。請參閱圖七，圖七為本發明之第五實施例中電腦系統 50 之第四狀態圖。在圖七所顯示之電腦系統 50 中，控制單元 36 中之開關 SW1、SW2、SW3、SW4、SW5、SW6、及 SW7 係分別將節點 a 與 d2、b 與 d2、A 與 C、B 與 E、以及 c 與 e 連接在一起。如此一來，第一串列型裝置 56 可經由 UART ASIC 30 之第一 UART 32 及第二 UART 34 與第二串列型裝置 58 交換資料。當第一串列型裝置 (host) 56 要將一字元框型資料傳送至第二串列型裝置 58 時，第一 UART 32 之六個暫存器中該 STATUS 暫存器中之 RECV 位元 (bit 1) 會被設定成 "1"，以接收由第一串列型裝置 56 所傳來之字元框型資料，而第二 UART 34 之六個暫存器中該 STATUS 暫存器之最低位元 (XMIT 位元) 會被設定成 "1"，以將一字元框型資料 (其係轉換自一八位元資



五、發明說明 (11)

料，而該八位元資料則係由第一 UART 32轉換該字元框型資料而得)發送至第二串列型裝置 58，反之亦然，於此不再贅述。

在圖五所顯示之電腦系統 50中，第一處理器 52及第二處理器 54係假定具有一相同之工作電壓。然而，在一些內含雙處理器之電腦系統中，該二處理器之工作電壓未必恒為相同，而該具有相異工作電壓之處理器間並無法直接地交換資料。請參閱圖八，圖八為本發明之第六實施例中一電腦系統 80之狀態圖，電腦系統 80中所包含之第三處理器 82及第四處理器 84具有相異之工作電壓(舉例來說，第三處理器 82之工作電壓為 2.5v，而第四處理器 84之工作電壓為 3.3v)，而電腦系統 80中亦包含第一串列型裝置 56、第二串列型裝置 58、第一系統匯流排 53、第二系統匯流排 55、及一 UART ASIC 90。與圖二所顯示之 UART ASIC 30不同的是，UART ASIC 90除了包含第一 UART 32、第二 UART 34及一控制單元 96(控制單元 96相異於控制單元 36之點係在於控制單元 36中之節點 e 被替換成控制單元 96中之節點 e1及 e2)外，另包含一電連接於節點 e1之電位轉換器 98。在控制單元 96中之開關 SW1、SW2、SW3、SW4、SW5、SW6、及 SW7分別將節點 a與 c、a與 d1、b與 d2、b與 e1、A與 D、B與 D、以及 c與 f連接在一起的情況下，電位轉換器 98可將第三處理器 82所發出並經由電位轉換器 98轉換為預定電壓後，再由第一 UART32發送至第



五、發明說明 (12)

二 UART 34和控制單元 96，並由電位轉換器 98轉換為第四處理器 84的電壓準位，反之亦然。如此一來，僅管具有不同的工作電壓，電腦系統 80中之第三處理器 82及第四處理器 84仍能於彼此間交換資料。

在圖八所顯示之 UART ASIC 90中，電位轉換器 98係位於第一 UART 32及第二 UART 34外，當然，本發明之串列/並列資料轉換模組中之電位轉換器也可分別設置於第一 UART 32/及或第二 UART 34中。

相較於習知串列/並列資料轉換模組(包含二互不相關之串列/並列資料轉換器)，本發明之串列/並列資料轉換模組不僅可控制該第一處理器及該第二處理器同時或分別與該第一串列型裝置及該第二串列型裝置交換資料，也可於彼此間交換資料。此外，運作於不同工作電壓之第一處理器及第二處理器仍可藉由一電位轉換器之電位轉換下，將所發出或接收之字元框型資料轉換電位以進行資料交換，因此，本發明之串列/並列資料轉換模組具有較大之使用彈性。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知一 UART系統 10之功能方塊圖。

圖二為本發明之較佳實施例中一 UART ASIC之功能方塊圖。

圖三為本發明之第二實施例中一包含圖二所顯示之 UART ASIC 的電腦系統之第一狀態圖。

圖四為本發明之第三實施例中顯示於圖三的電腦系統之第二狀態圖。

圖五為本發明之第四實施例中顯示於圖三的電腦系統之第三狀態圖。

圖六為圖五所顯示之電腦系統中各元件之連接狀態圖。

圖七為本發明之第五實施例中顯示於圖三的電腦系統之第四狀態圖。

圖八為本發明之第六實施例中一電腦系統之狀態圖。

圖式之符號說明

10	UART系統	12	暫存器
14	匯流排介面	16	傳輸速率產生器
18	收發器	20	處理器
22	UART模組	24	串列型裝置
26	系統匯流排	28	通用序列匯流排
30、90	UART ASIC	32	第一 UART模組



圖式簡單說明

34	第 二 U A R T模 組	36、 96	控 制 單 元
38、 42	並 列 埠	40、 44	串 列 埠
50、 80	電 腦 系 統	52	第 一 處 理 器
53	第 一 系 統 匯 流 排	54	第 二 處 理 器
55	第 二 系 統 匯 流 排	56	第 一 串 列 型 裝 置
58	第 二 串 列 型 裝 置	82	第 三 處 理 器
84	第 四 處 理 器	98	電 位 轉 換 器



六、申請專利範圍

1. 一種電腦系統，其包含：

一第一處理器；

一第一串列/並列資料轉換器，其包含一並列埠
(parallel port)及一串列埠(serial port)；

一第二串列/並列資料轉換器，其包含一並列埠及一串列埠；以及

一控制單元，用來選擇性地將該第一處理器電連接於該第一串列/並列資料轉換器之並列埠、將該第一處理器同時電連接於該第一串列/並列資料轉換器及該第二串列/並列資料轉換器之並列埠、或將該第一處理器電連接於第一串列/並列資料轉換器之並列埠並將該第一串列/並列資料轉換器之串列埠電連接於該第二串列/並列資料轉換器之串列埠。

2. 如申請專利範圍第1項所述之電腦系統，其另包含一電連接於該第一串列/並列資料轉換器的串列埠之串列型裝置(serial device)。

3. 如申請專利範圍第1項所述之電腦系統，其另包含二串列型裝置，分別電連接於該第一串列/並列資料轉換器之串列埠及該第二串列/並列資料轉換器之串列埠。

4. 如申請專利範圍第1項所述之電腦系統，其另包含一電連接於該第二串列/並列資料轉換器之並列埠第二處理



六、申請專利範圍

器。

5.如申請專利範圍第4項所述之電腦系統，其中該第一處理器之工作電壓係相同於該第二處理器之工作電壓。

6.如申請專利範圍第4項所述之電腦系統，其中該第一處理器之工作電壓係不同於該第二處理器之工作電壓。

7.如申請專利範圍第1項所述之電腦系統，其另包含一電位轉換器(level shifter)，電連接於該第一串列/並列資料轉換器之串列埠及該第二串列/並列資料轉換器之串列埠之間，用來調整傳輸於該第一串列/並列資料轉換器之串列埠及該第二串列/並列資料轉換器之串列埠之間的資料之電位。

8.如申請專利範圍第1項所述之電腦系統，其中該控制單元為一邏輯電路。

9.如申請專利範圍第1項所述之電腦系統，其中該控制單元為一儲存於一記憶體內之程式碼。

10.如申請專利範圍第1項所述之電腦系統，其中該第一串列/並列資料轉換器、該第二串列/並列資料轉換器、及該控制單元係整合於一特殊應用積體電路



六、申請專利範圍

(application specific integrated circuit ,ASIC)
內。

11.如申請專利範圍第1項所述之電腦系統，其中該第一串列/並列資料轉換器為一通用非同步收發器(universal asynchronous receiver/transmitter, UART)。

12.如申請專利範圍第1項所述之電腦系統，其中該第一串列/並列資料轉換器為一I2C(inter IC)。

13.如申請專利範圍第1項所述之電腦系統，其中該第一串列/並列資料轉換器為一USB。

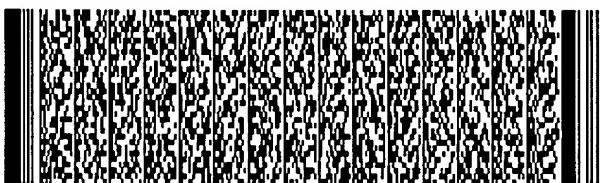
14.一種串列/並列資料轉換模組，其包含：

一第一串列/並列資料轉換器，其包含一並列埠及一串列埠；

一第二串列/並列資料轉換器，其包含一並列埠及一串列埠；以及

一控制單元，用來選擇性地將該第一串列/並列資料轉換器之並列埠電連接於該第二串列/並列資料轉換器之並列埠或將該第一串列/並列資料轉換器之串列埠電連接於該第二串列/並列資料轉換器之串列埠。

15.如申請專利範圍第14項所述之電腦系統，其另包含一



六、申請專利範圍

電位轉換器，電連接於該第一串列/並列資料轉換器之串列埠及該第二串列/並列資料轉換器之串列埠之間，用來調整傳輸於該第一串列/並列資料轉換器之串列埠及該第二串列/並列資料轉換器之串列埠之間的資料之電位。

16.如申請專利範圍第14項所述之電腦系統，其中該控制單元為一邏輯電路。

17.如申請專利範圍第14項所述之電腦系統，其中該控制單元為一儲存於一記憶體內之程式碼。

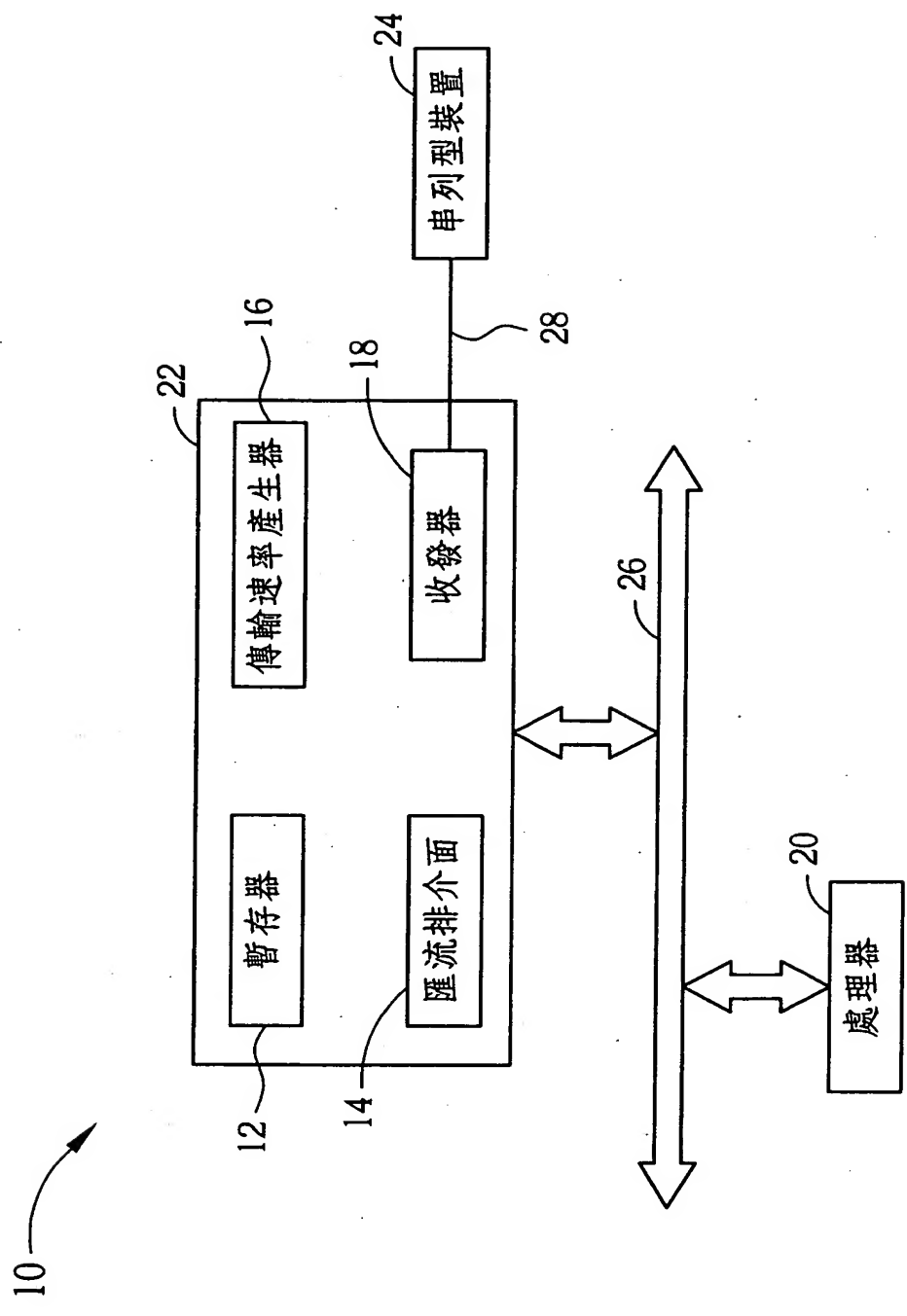
18.如申請專利範圍第14項所述之電腦系統，其中該第一串列/並列資料轉換器、該第二串列/並列資料轉換器、及該控制單元係整合於一特殊應用積體電路內。

19.如申請專利範圍第14項所述之電腦系統，其中該第一串列/並列資料轉換器為一通用非同步收發器。

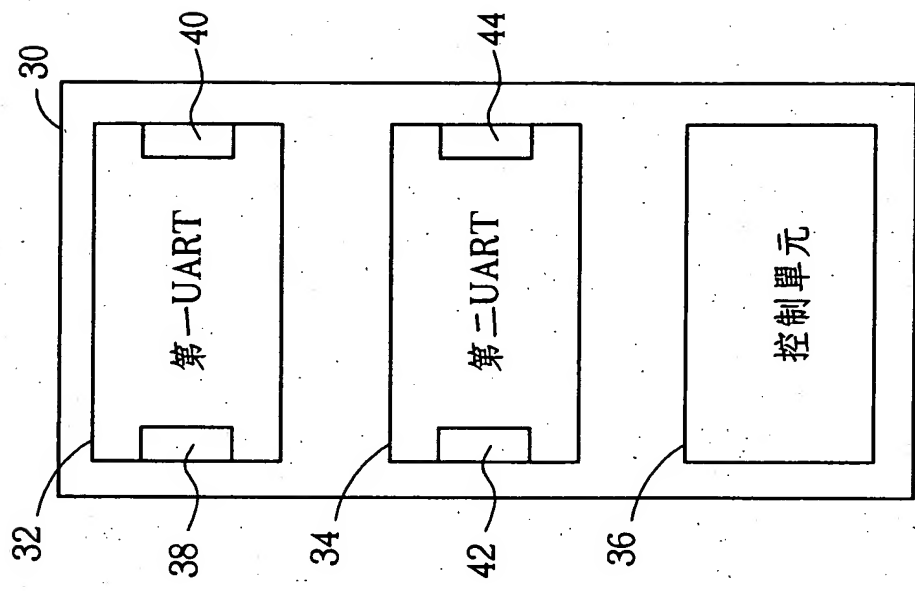
20.如申請專利範圍第14項所述之電腦系統，其中該第一串列/並列資料轉換器為一I2C。

21.如申請專利範圍第14項所述之電腦系統，其中該第一串列/並列資料轉換器為一USB。

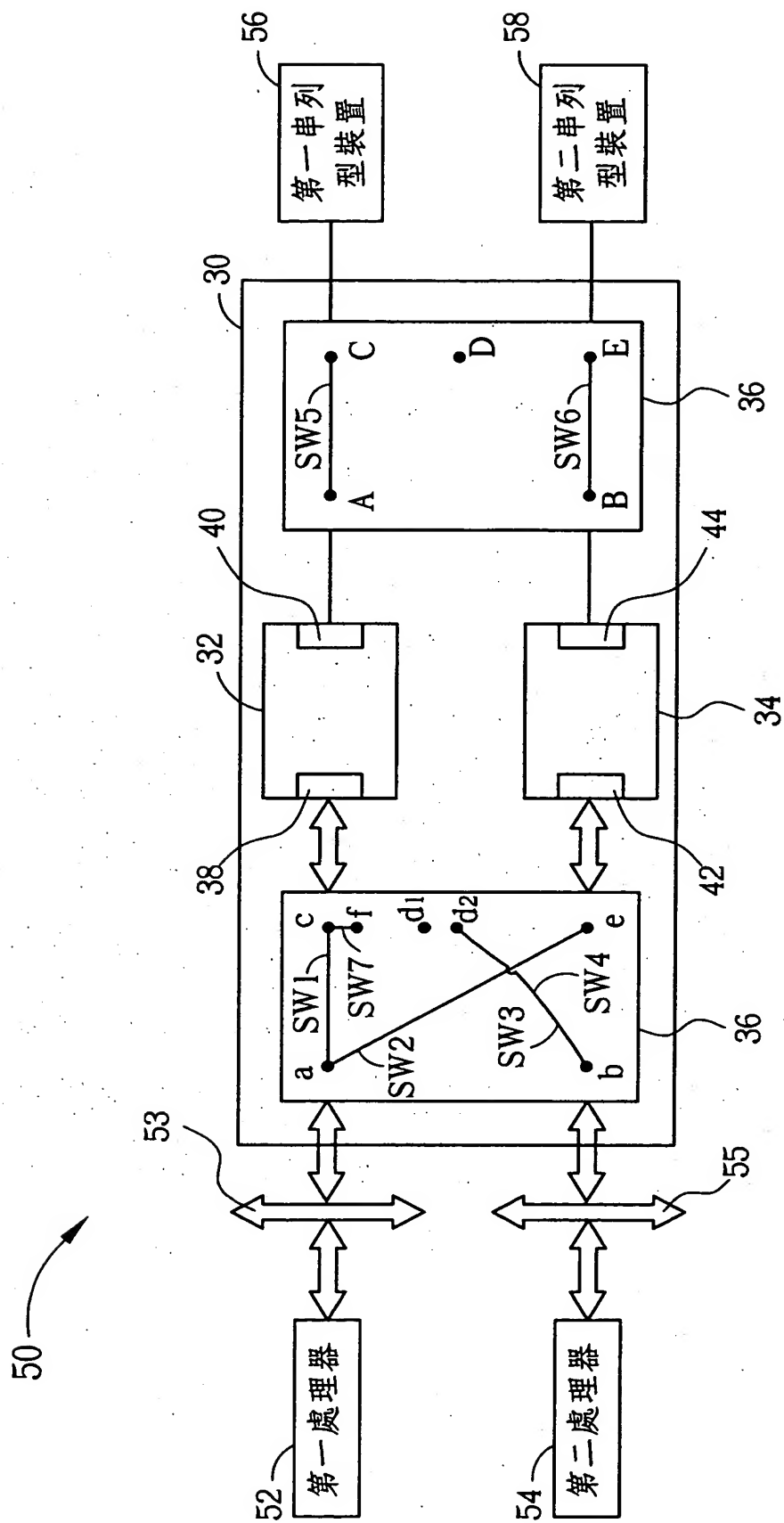




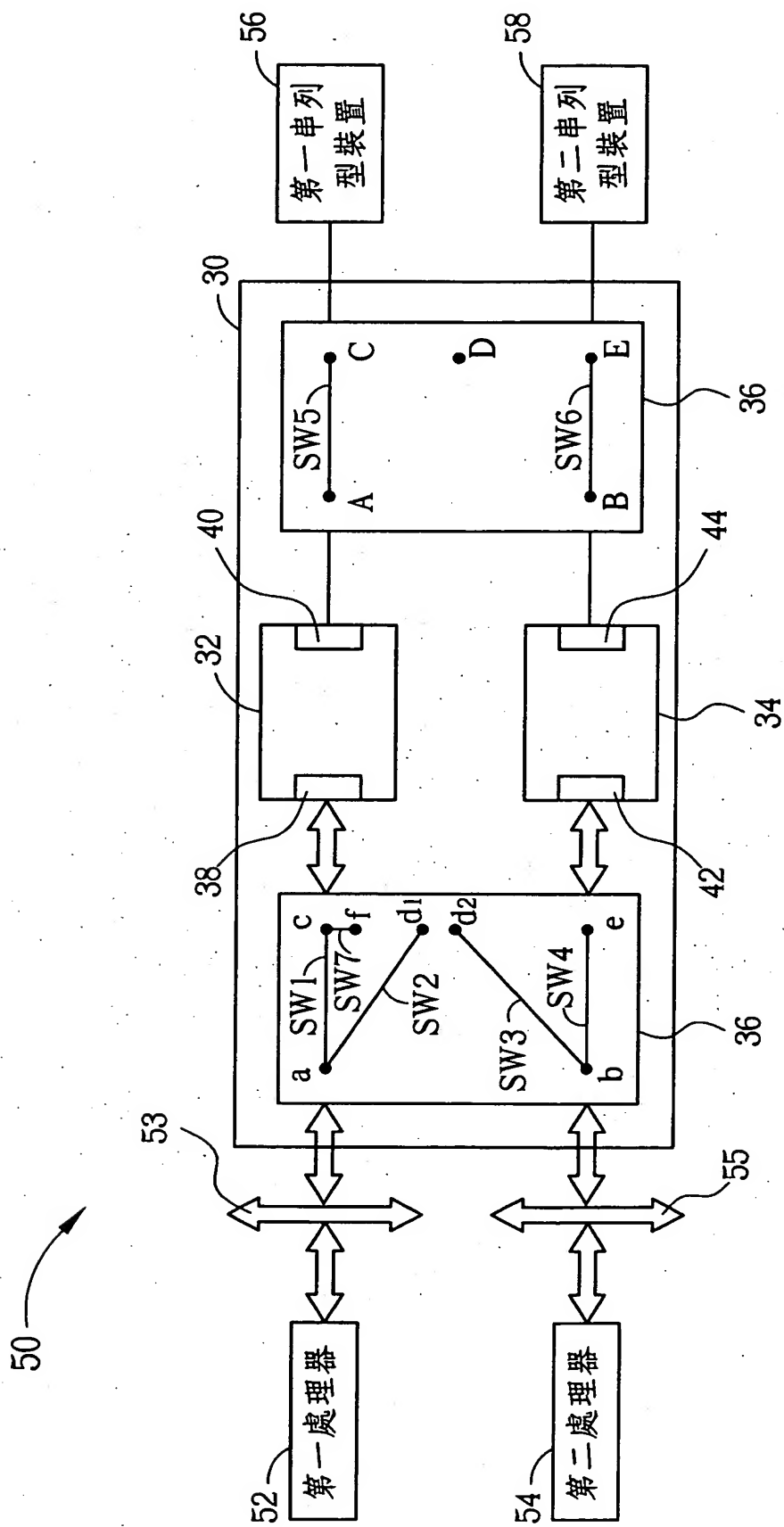
圖一



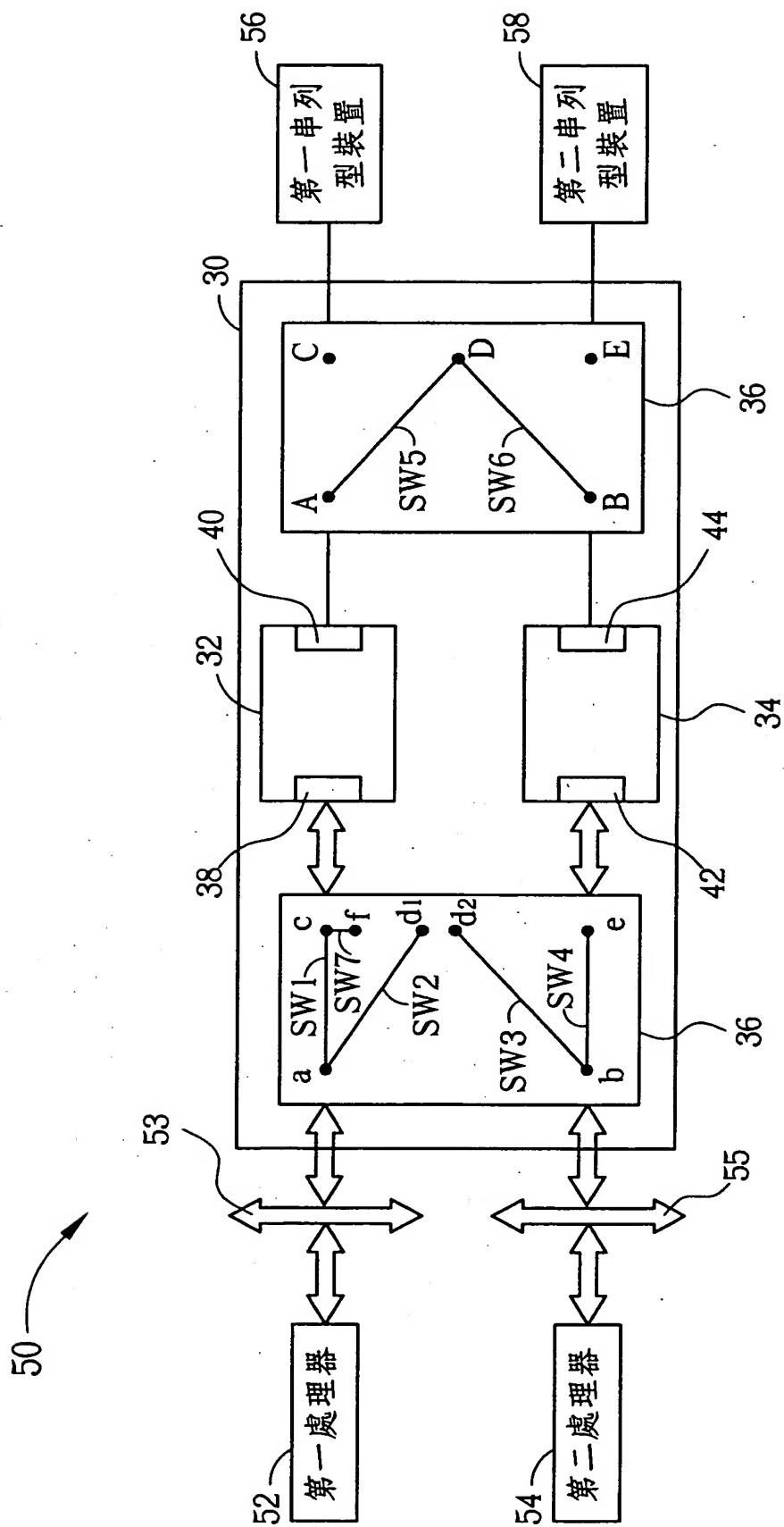
圖二



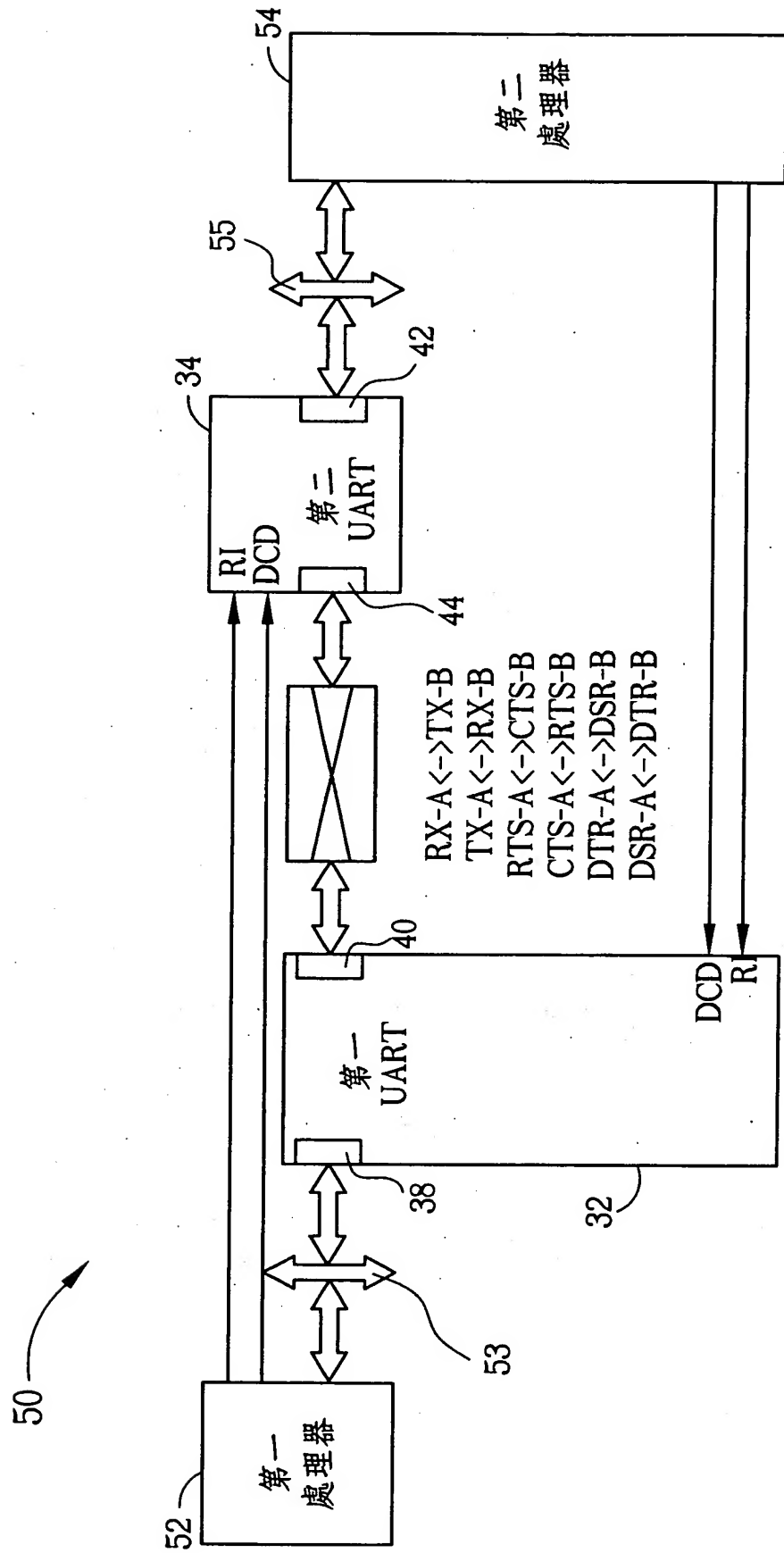
圖三



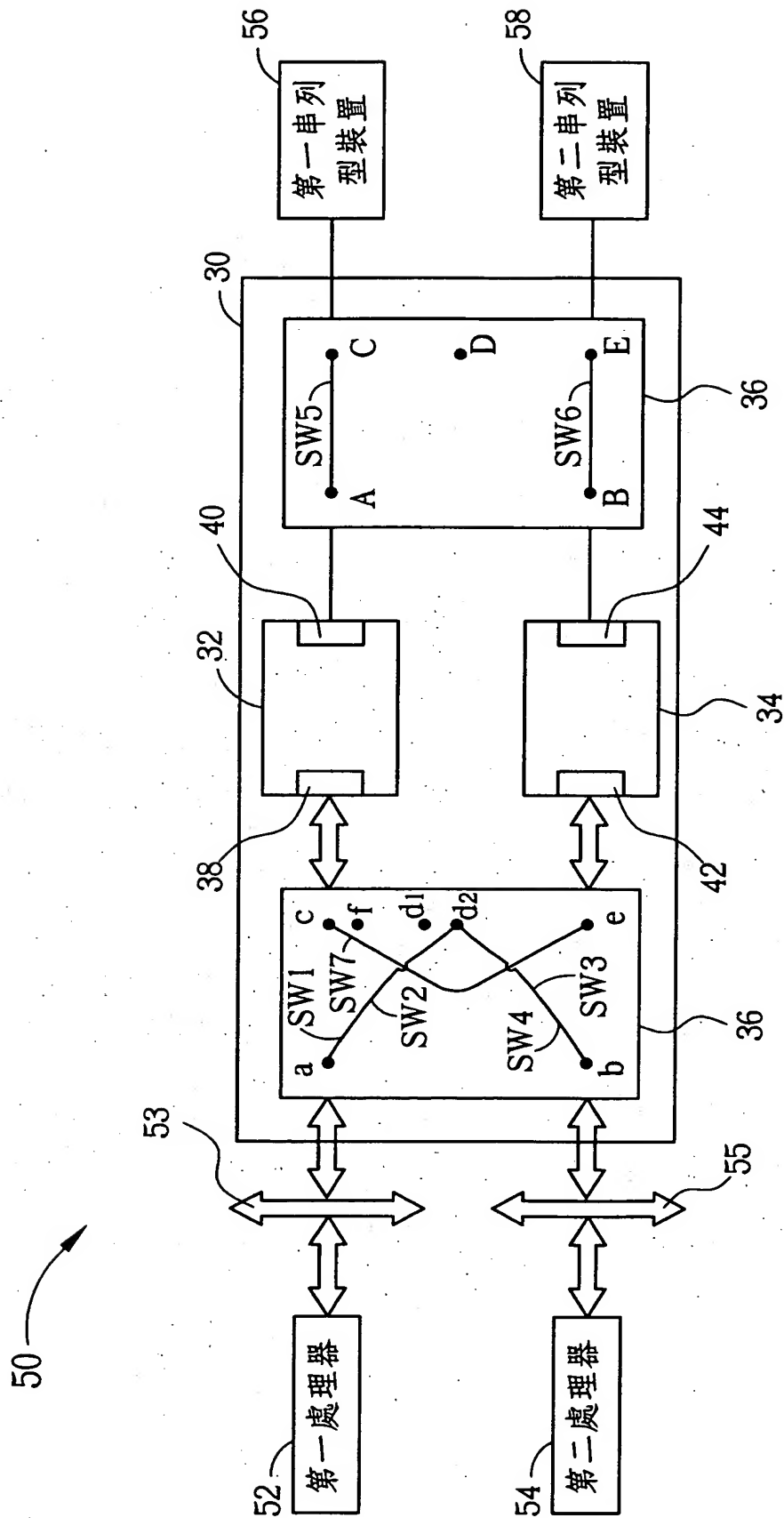
圖四



圖五

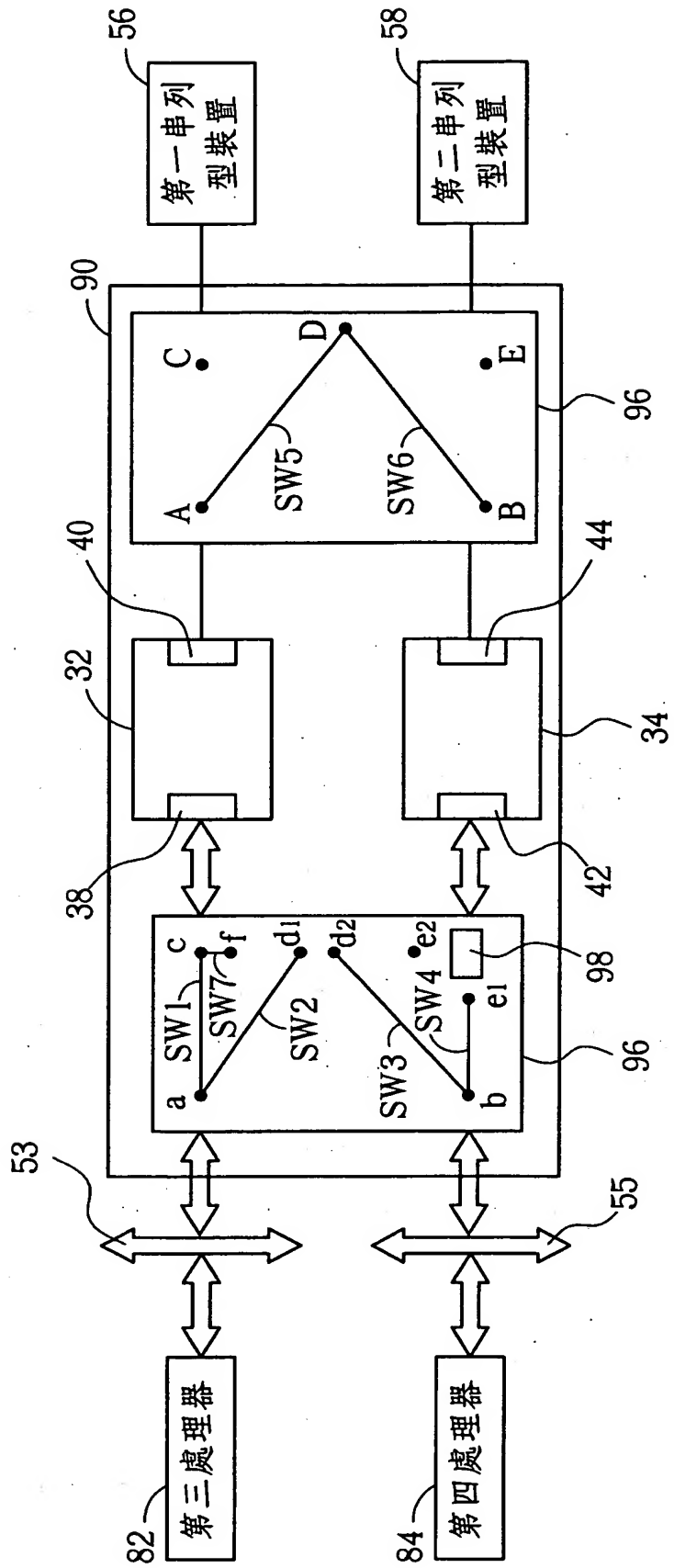


圖六



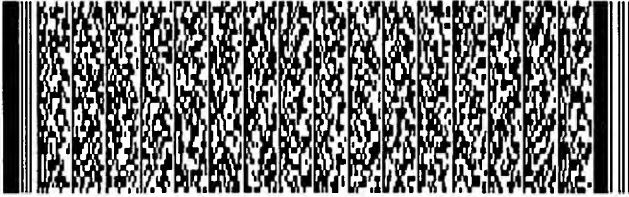
圖七

80

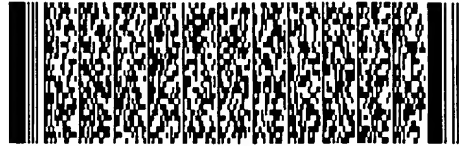


圖八

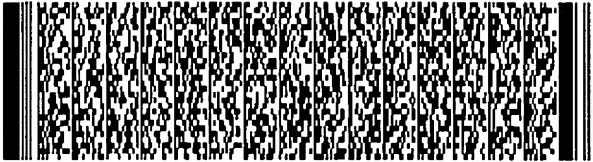
第 1/24 頁



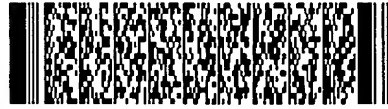
第 2/24 頁



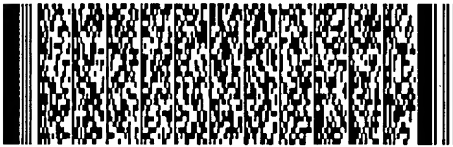
第 3/24 頁



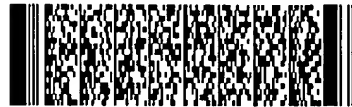
第 4/24 頁



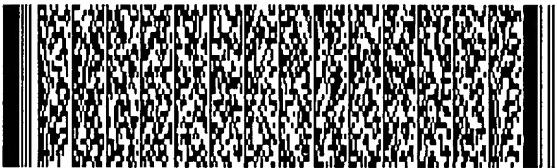
第 5/24 頁



第 6/24 頁



第 7/24 頁



第 7/24 頁



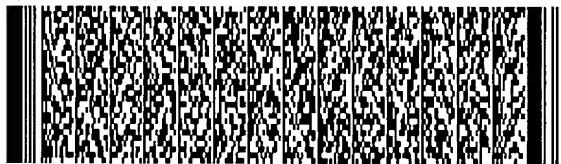
第 8/24 頁



第 8/24 頁



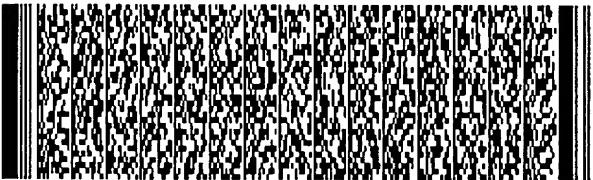
第 9/24 頁



第 9/24 頁



第 10/24 頁



第 11/24 頁



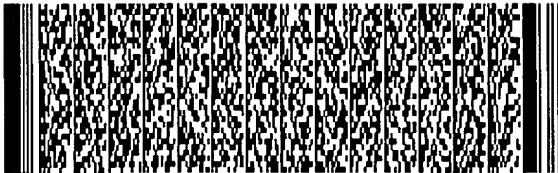
第 11/24 頁



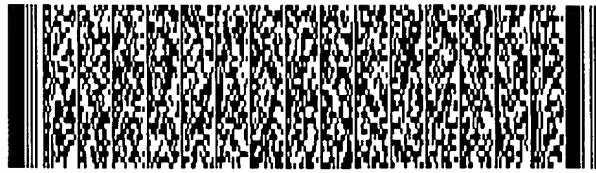
第 12/24 頁



第 12/24 頁



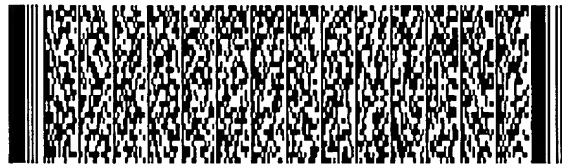
第 13/24 頁



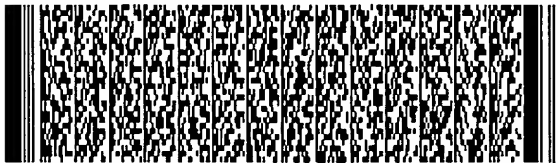
第 13/24 頁



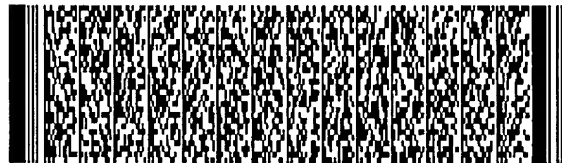
第 14/24 頁



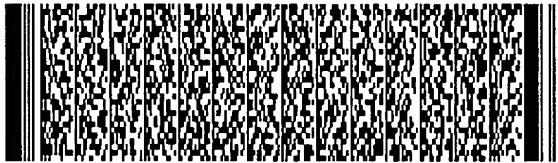
第 14/24 頁



第 15/24 頁



第 15/24 頁



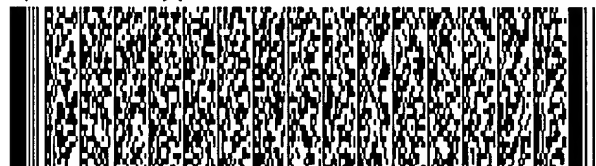
第 16/24 頁



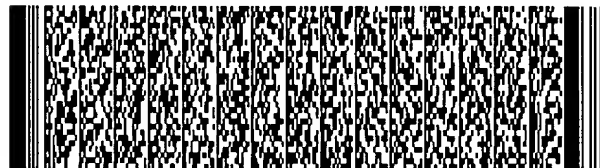
第 16/24 頁



第 17/24 頁



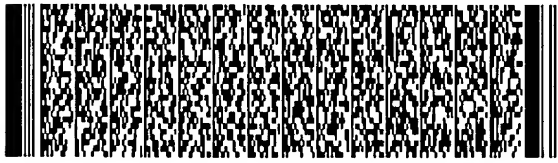
第 17/24 頁



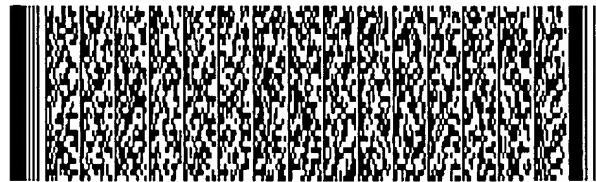
第 18/24 頁



第 18/24 頁



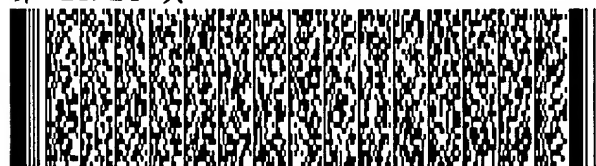
第 19/24 頁



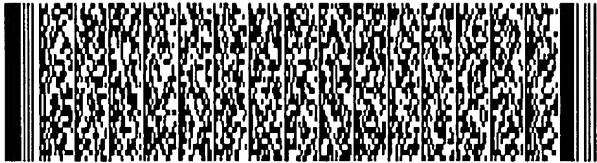
第 20/24 頁



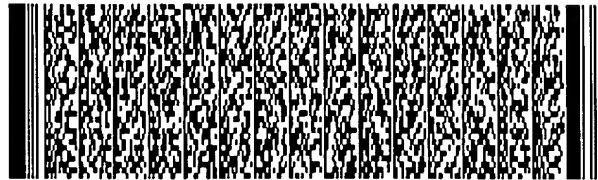
第 21/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

